

日本国特許庁
JAPAN PATENT OFFICE

#2 4.5 12-16-01
Priority Paper
Jc986 U.S. PTO
09/973843
10/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月19日

出願番号

Application Number:

特願2001-041936

出願人

Applicant(s):

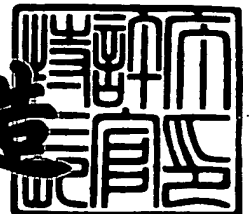
富士通株式会社



2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3069219

【書類名】 特許願

【整理番号】 0040989

【提出日】 平成13年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 1/00

【発明の名称】 増幅器

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 岩井 大介

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 増幅器

【特許請求の範囲】

【請求項 1】 前段の増幅段の出力信号をその直後の後段の増幅段で増幅する増幅器であって、

前記後段の増幅段は、並列に接続された複数の増幅手段によって構成され、
該増幅手段のうちの一部の増幅手段は、前記前段の増幅段の R F 入力に応じて増幅動作のオン／オフを切り替えること、もしくは、R F 入力の増加にともなってバイアス電流を増加させることを特徴とする増幅器。

【請求項 2】 R F 信号が入力される前段トランジスタと、
段間整合回路と、
並列に接続され、かつ前記段間整合回路を介して前記前段トランジスタの出力信号が入力される複数のトランジスタよりなる後段トランジスタ群と、
前記後段トランジスタ群のうちの一部のトランジスタのバイアスを前記 R F 信号の入力レベルに応じて制御する後段 D C バイアス制御回路と、
を具備することを特徴とする増幅器。

【請求項 3】 前記後段 D C バイアス制御回路は、前記前段トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段 D C バイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に接続されていることを特徴とする請求項 2 に記載の増幅器。

【請求項 4】 前記後段 D C バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された A C カット用のインダクタと、シャント抵抗とによって構成されていることを特徴とする請求項 3 に記載の増幅器。

【請求項 5】 前記後段 D C バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された A C カット用のインダクタおよび抵抗と、シャントダイオードとによって構成されていることを特徴とする請求項 3 に記載の増幅器。

【請求項 6】 前記後段 D C バイアス制御回路は、前記 R F 信号が入力され、かつその R F 信号の入力レベルに応じて前記後段トランジスタ群のうちの一部

のトランジスタのバイアスを制御する制御用トランジスタを有することを特徴とする請求項 2 に記載の増幅器。

【請求項 7】 前記前段トランジスタ、前記後段トランジスタ群のうちのバイアスが固定されたトランジスタ、および前記制御用トランジスタはいずれも A B 級にバイアスされることを特徴とする請求項 6 に記載の増幅器。

【請求項 8】 前記前段トランジスタ、前記段間整合回路、前記後段トランジスタ群および前記後段 D C バイアス制御回路は、同一の半導体チップ上に集積されていることを特徴とする請求項 2 ～ 6 のいずれか一つに記載の増幅器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、増幅器に関し、特に 2 段以上のトランジスタで構成された増幅器に関する。

【 0 0 0 2 】

携帯電話等の携帯端末では、たとえばバイポーラトランジスタを用いた 2 段構成の出力増幅器が用いられている。従来の携帯電話等では、全出力域において高効率動作が要求されるため、前段のトランジスタおよび後段のトランジスタのバイアスポイントはともに B 級または C 級に近いところに設定されている。それに対して、次世代または第 3 世代の携帯電話等では、その出力を基地局との距離に応じて制御する必要があるため、出力ダイナミックレンジが従来よりも非常に広く、かつその全出力域で高効率動作が要求される。また、隣接チャネル漏洩電力を低く抑えるという要求があり、それを満足させるためには、隣接チャネル漏洩電力の主原因となる増幅器の歪みを低く抑える必要がある。

【 0 0 0 3 】

【従来の技術】

図 1 5 は、従来の出力増幅器の要部を示す回路図である。この増幅器は、バイポーラトランジスタを用いた 2 段構成の増幅器であり、インダクタ 1 およびキャパシタ 2 からなる入力整合回路 3 と、エミッタが接地された前段トランジスタ 4 と、キャパシタ 5, 7 およびインダクタ 6 からなる段間整合回路 8 と、エミッタ

が接地された後段トランジスタ9と、図示しない出力整合回路とによって構成されている。

【0004】

前段トランジスタ4のベースバイアス V_{b1} はインダクタ10を介して外部から供給される。前段トランジスタ4のコレクタバイアス V_{cc1} はインダクタ11を介して外部から供給される。後段トランジスタ9のベースバイアス V_{b2} はインダクタ12を介して外部から供給される。後段トランジスタ9のコレクタバイアス V_{cc2} はインダクタ13を介して外部から供給される。ここで、上述したようにこの増幅器を携帯電話等に用いる場合、全出力域で高効率動作を実現するため、前段トランジスタ4および後段トランジスタ9のバイアスポイントはともにB級またはC級に近いところに設定される。

【0005】

外部から供給されたRF信号(RF_{in})は入力整合回路3を介して前段トランジスタ4のベースに入力される。前段トランジスタ4のコレクタ出力は段間整合回路8を介して後段トランジスタ9のベースに供給される。後段トランジスタ9のコレクタから出力されたRF信号(RF_{out})は、図示しない出力整合回路を介して外部へ出力される。なお、図15において、符号14はRF信号の入力端子、符号15はRF信号の出力端子、符号16はベースバイアス V_{b1} の印加端子、符号17はコレクタバイアス V_{cc1} の印加端子、符号18はベースバイアス V_{b2} の印加端子、符号19はコレクタバイアス V_{cc2} の印加端子である。

【0006】

【発明が解決しようとする課題】

上述した従来の増幅器を、従来よりも広い出力ダイナミックレンジの全出力域にわたって高効率で動作させるためには、前段トランジスタ4および後段トランジスタ9のバイアスポイントをB級またはC級に設定すればよい。しかし、そうすると出力増加に伴って利得変動が起こり、増幅器の歪み特性が劣化してしまう。一方、増幅器を低歪み動作させるためにはバイアスポイントをAB級に設定すればよいが、その場合には低出力および中出力時に効率が低下してしまう。した

がって、従来の増幅器を、広い出力ダイナミックレンジでの高効率動作と、低歪み動作の両方が要求される次世代または第3世代の携帯電話等に用いるのは困難である。

【0007】

本発明は、上記問題点に鑑みてなされたものであって、広い出力ダイナミックレンジでの高効率動作と、低歪み動作の両方を満足する増幅器を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる増幅器は、複数段の増幅段を有し、前段の増幅段の出力信号を増幅するための後段の増幅段を、並列に接続された複数のトランジスタで構成し、前段の増幅段を構成するトランジスタおよび後段のトランジスタのうちの一部についてはバイアスポイントをAB級とするとともに、後段のトランジスタの残りを、高出力時にオンさせ、低出力および中出力時にオフさせることを特徴とする。

【0009】

この発明によれば、前段の増幅段を構成するトランジスタと後段のトランジスタの一部はAB級で動作し、低出力および中出力時には後段のトランジスタの残りがオフ状態となる。一方、高出力時には後段のトランジスタの残りがオン状態となる。

【0010】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明するが、以下の実施の形態では、本発明を、2段のバイポーラトランジスタで構成された増幅器に適用した例について説明する。

【0011】

(実施の形態1)

図1は、本発明の実施の形態1にかかる出力増幅器の要部を示す回路図である。この増幅器は、インダクタ21およびキャパシタ22からなる入力整合回路2

3と、エミッタがキャパシタ41を介して接地された前段トランジスタ24と、キャパシタ25, 42, 43およびインダクタ26からなる段間整合回路28と、エミッタが接地された2個の後段トランジスタ44, 45と、後段DCバイアス制御回路51と、図示しない出力整合回路とによって構成されている。これら入力整合回路23、前段トランジスタ24、段間整合回路28、2個の後段トランジスタ44, 45、後段DCバイアス制御回路51および出力整合回路は同一半導体チップ上に集積されていてもよい、2以上の半導体チップ上に分散して設けられていてもよい。

【0012】

前段トランジスタ24のベースバイアス V_{b1} はインダクタ30を介して外部から供給される。前段トランジスタ24のコレクタバイアス V_{cc1} はインダクタ31を介して外部から供給される。後段トランジスタ44, 45のうちの第1の後段トランジスタ44のベースバイアス V_{b2} はインダクタ32を介して外部から供給される。

【0013】

後段トランジスタ44, 45のうちの第2の後段トランジスタ45のベースには後段DCバイアス制御回路51によって制御されたバイアスが印加される。この後段DCバイアス制御回路51は、前段トランジスタ24のエミッタと第2の後段トランジスタ45のベースとの間に直列に接続された2個のACカット用インダクタ52, 53と、それらACカット用インダクタ52, 53の接続点と接地点との間に接続されたシャント抵抗54とによって構成されている。

【0014】

第2の後段トランジスタ45のベースバイアスは、前段トランジスタ24のDCエミッタ電流(I_E)とシャント抵抗54の抵抗値との積によって決まる。シャント抵抗54は、第2の後段トランジスタ45が低出力および中出力時にオフ状態となり、高出力時にオン状態となるような抵抗値に設定される。

【0015】

第1および第2の後段トランジスタ44, 45には、インダクタ33を介して外部からコレクタバイアス V_{cc2} が共通に供給される。前段トランジスタ24

および第1の後段トランジスタ44のバイアスポイントはともにAB級に設定される。

【0016】

外部から供給されたRF信号(RFin)は入力整合回路23を介して前段トランジスタ24のベースに入力される。前段トランジスタ24のコレクタ出力は段間整合回路28を介して第1および第2の後段トランジスタ44, 45の各ベースに供給される。第1および第2の後段トランジスタ44, 45の各コレクタは図示しない出力整合回路を介して出力端子35に共通接続されており、第1および第2の後段トランジスタ44, 45の各コレクタから出力されたRF信号は、重ね合わされて図示しない出力整合回路を介して外部へ出力される。

【0017】

ここで、前段トランジスタ24のDCエミッタ電流(IE)が少ないときには、第2の後段トランジスタ45はオフ状態となる。前段トランジスタ24のDCエミッタ電流(IE)が増加すると、第2の後段トランジスタ45のベースバイアスが大きくなり、オン状態となる。つまり、低出力および中出力時には第1の後段トランジスタ44の出力信号のみが外部へ出力される。高出力時には、第1の後段トランジスタ44の出力信号と第2の後段トランジスタ45の出力信号の両方が外部へ出力される。

【0018】

なお、図1において、符号34はRF信号の入力端子、符号36はベースバイアスVb1の印加端子、符号37はコレクタバイアスVcc1の印加端子、符号38はベースバイアスVb2の印加端子、符号39はコレクタバイアスVcc2の印加端子である。

【0019】

上述した実施の形態1によれば、前段トランジスタ24と第1の後段トランジスタ44がAB級で動作し、低出力および中出力時には第2の後段トランジスタ45がオフ状態となるので、従来の二段増幅器をAB級で動作させる場合よりも低出力および中出力時の効率低下を抑制することができる。また、第2の後段トランジスタ45がオン状態となることによって、高出力動作が可能となる。また

、前段トランジスタ 2 4 と第 1 の後段トランジスタ 4 4 が B 級や C 級で動作しないことによって、出力増加に伴う利得の変動を抑制することができるので、低歪み動作が可能となる。したがって、広い出力ダイナミックレンジでの高効率動作と、低歪み動作の両方を満足する増幅器が得られる。

【 0 0 2 0 】

なお、上述した実施の形態 1 において、後段 DC バイアス制御回路 5 1 の代わりに、図 2 ～ 図 4 にそれぞれ示す種々の構成の後段 DC バイアス制御回路 5 5, 5 7, 5 9 を用いることができる。たとえば、図 2 に示す後段 DC バイアス制御回路 5 5 は、前段トランジスタ 2 4 のエミッタ側の AC カット用インダクタ 5 2 の代わりに抵抗 5 6 を接続したものである。また、図 3 に示す後段 DC バイアス制御回路 5 7 は、第 2 の後段トランジスタ 4 5 のベース側の AC カット用インダクタ 5 3 の代わりに抵抗 5 8 を接続したものである。

【 0 0 2 1 】

また、図 4 に示す後段 DC バイアス制御回路 5 9 は、2 個の AC カット用インダクタ 5 2, 5 3 の代わりに抵抗 6 0, 6 1 を直列に接続したものである。この後段 DC バイアス制御回路 5 9 では、使用する周波数帯域において、前段トランジスタ 2 4 側の抵抗 6 0 のインピーダンスは、前段トランジスタ 2 4 のエミッタに接続されたキャパシタ 4 1 よりも十分に高く、かつ第 2 の後段トランジスタ 4 5 側の抵抗 6 1 のインピーダンスは、第 2 の後段トランジスタ 4 5 の入力インピーダンスよりも十分に高い必要がある。

【 0 0 2 2 】

また、上述した実施の形態 1 において、後段 DC バイアス制御回路 5 1 の代わりに、図 5 ～ 図 7 にそれぞれ示す種々の構成の後段 DC バイアス制御回路 6 2, 6 5, 6 6 を用いることができる。たとえば、図 5 に示す後段 DC バイアス制御回路 6 2 は、2 個の AC カット用インダクタ 5 2, 5 3 の間に直列に抵抗 6 3 を接続するとともに、その抵抗 6 3 と第 2 の後段トランジスタ 4 5 側の AC カット用インダクタ 5 3 との接続点にシャント抵抗 5 4 の代わりにシャントダイオード 6 4 を接続したものである。

【 0 0 2 3 】

また、図 6 に示す後段 DC バイアス制御回路 6 5 は、前段トランジスタ 2 4 のエミッタ側の AC カット用インダクタ 5 2 の代わりに抵抗 5 6 を接続するとともに、シャント抵抗 5 4 の代わりにシャントダイオード 6 4 を接続したものである。また、図 7 に示す後段 DC バイアス制御回路 6 6 は、2 個の AC カット用インダクタ 5 2, 5 3 の代わりに抵抗 6 0, 6 1 を直列に接続するとともに、シャント抵抗 5 4 の代わりにシャントダイオード 6 4 を接続したものである。

【 0 0 2 4 】

この後段 DC バイアス制御回路 6 6 においても、図 4 に関連して説明したとおり、使用する周波数帯域において、前段トランジスタ 2 4 側の抵抗 6 0 のインピーダンスは、前段トランジスタ 2 4 のエミッタに接続されたキャパシタ 4 1 よりも十分に高く、かつ第 2 の後段トランジスタ 4 5 側の抵抗 6 1 のインピーダンスは、第 2 の後段トランジスタ 4 5 の入力インピーダンスよりも十分に高い必要がある。図 5 ～図 7 に示すようにシャント抵抗 5 4 の代わりにシャントダイオード 6 4 を用いると、温度上昇に伴う第 2 の後段トランジスタ 4 5 の電流変動を抑制することができる。つまり、後段 DC バイアス制御回路 6 2, 6 5, 6 6 は温度補償セルフバイアス回路を構成する。

【 0 0 2 5 】

(実施の形態 2)

図 8 は、本発明の実施の形態 2 にかかる出力増幅器の要部を示す回路図である。実施の形態 2 が実施の形態 1 と異なるのは、主に以下の 2 点である。第 1 に、前段トランジスタ 2 4 を利用した後段 DC バイアス制御回路 5 1 の代わりに、第 2 の後段トランジスタ 4 5 のベースバイアスを制御するための制御用トランジスタ 7 2 を有する後段 DC バイアス制御回路 7 1 を設けたことである。第 2 に、その制御用トランジスタ 7 2 の前に入力整合回路 7 3 を設けたことである。実施の形態 2 のその他の構成は実施の形態 1 と同じであるため、実施の形態 1 と同じ構成については実施の形態 1 と同一の符号を付して説明を省略し、実施の形態 1 と異なる構成についてのみ説明する。

【 0 0 2 6 】

入力整合回路 7 3 は、インダクタ 7 4 およびキャパシタ 7 5 によって構成され

る。入力端子34から入力されたRF信号は入力整合回路23を介して前段トランジスタ24のベースに入力されるとともに、もう一方の入力整合回路73を介して制御用トランジスタ72のベースにも入力される。制御用トランジスタ72のベースバイアス $V_{b1'}$ はインダクタ76を介して外部から供給される。

【0027】

制御用トランジスタ72のコレクタと接地点との間には、そのコレクタ側から順にキャパシタ77および抵抗78が直列に接続されている。制御用トランジスタ72のコレクタバイアス $V_{cc1'}$ はインダクタ79を介して外部から供給される。制御用トランジスタ72のエミッタはキャパシタ80を介して接地されている。また、制御用トランジスタ72のエミッタと第2の後段トランジスタ45のベースとの間には、2個のACカット用インダクタ52、53が直列に接続されており、それらACカット用インダクタ52、53の接続点と接地点との間にシャント抵抗54が接続されている。後段DCバイアス制御回路71は、これら制御用トランジスタ72、キャパシタ77、80、インダクタ52、53、79および抵抗54、78によって構成されている。

【0028】

実施の形態2では、第2の後段トランジスタ45のベースバイアスは、制御用トランジスタ72のDCエミッタ電流(I_E)とシャント抵抗54の抵抗値との積によって決まる。シャント抵抗54は、第2の後段トランジスタ45が低出力および中出力時にオフ状態となり、高出力時にオン状態となるような抵抗値に設定される。したがって、入力されたRF信号のレベルに応じて制御用トランジスタ72のDCエミッタ電流(I_E)が少ないときには、第2の後段トランジスタ45はオフ状態となる。制御用トランジスタ72のDCエミッタ電流(I_E)が増加すると、第2の後段トランジスタ45のベースバイアスが大きくなり、オン状態となる。

【0029】

入力整合回路23、73、前段トランジスタ24、段間整合回路28、2個の後段トランジスタ44、45、後段DCバイアス制御回路71および図示しない出力整合回路は同一半導体チップ上に集積されていてもよいし、2以上の半導体

チップ上に分散して設けられていてもよい。なお、図8において、符号81はベースバイアス V_{b1}' の印加端子、符号82はコレクタバイアス V_{cc1}' の印加端子である。

【0030】

上述した実施の形態2によれば、実施の形態1と同様に、前段トランジスタ24と第1の後段トランジスタ44がAB級で動作し、低出力および中出力時には第2の後段トランジスタ45がオフ状態となり、一方、高出力時には第2の後段トランジスタ45がオン状態となるため、広い出力ダイナミックレンジでの高効率動作と、低歪み動作の両方を満足する増幅器が得られる。

【0031】

なお、上述した実施の形態2において、後段DCバイアス制御回路51の代わりに、図9～図11にそれぞれ示す種々の構成の後段DCバイアス制御回路83，84，85を用いることができる。たとえば、図9に示す後段DCバイアス制御回路83は、制御用トランジスタ72のエミッタ側のACカット用インダクタ52の代わりに抵抗56を接続したものである。また、図10に示す後段DCバイアス制御回路84は、第2の後段トランジスタ45のベース側のACカット用インダクタ53の代わりに抵抗58を接続したものである。

【0032】

また、図11に示す後段DCバイアス制御回路85は、2個のACカット用インダクタ52，53の代わりに抵抗60，61を直列に接続したものである。この後段DCバイアス制御回路85では、使用する周波数帯域において、制御用トランジスタ72側の抵抗60のインピーダンスは、制御用トランジスタ72のエミッタに接続されたキャパシタ80よりも十分に高く、かつ第2の後段トランジスタ45側の抵抗61のインピーダンスは、第2の後段トランジスタ45の入力インピーダンスよりも十分に高い必要がある。

【0033】

また、上述した実施の形態2において、後段DCバイアス制御回路51の代わりに、図12～図14にそれぞれ示す種々の構成の後段DCバイアス制御回路86，87，88を用いることができる。たとえば、図12に示す後段DCバイア

ス制御回路 8 6 は、2 個の A C カット用インダクタ 5 2, 5 3 の間に直列に抵抗 6 3 を接続するとともに、その抵抗 6 3 と第 2 の後段トランジスタ 4 5 側の A C カット用インダクタ 5 3 との接続点にシャント抵抗 5 4 の代わりにシャントダイオード 6 4 を接続したものである。

【 0 0 3 4 】

また、図 1 3 に示す後段 D C バイアス制御回路 8 7 は、制御用トランジスタ 7 2 のエミッタ側の A C カット用インダクタ 5 2 の代わりに抵抗 5 6 を接続するとともに、シャント抵抗 5 4 の代わりにシャントダイオード 6 4 を接続したものである。また、図 1 4 に示す後段 D C バイアス制御回路 8 8 は、2 個の A C カット用インダクタ 5 2, 5 3 の代わりに抵抗 6 0, 6 1 を直列に接続するとともに、シャント抵抗 5 4 の代わりにシャントダイオード 6 4 を接続したものである。

【 0 0 3 5 】

この後段 D C バイアス制御回路 8 8 においても、図 1 1 に関連して説明したとおり、使用する周波数帯域において、制御用トランジスタ 7 2 側の抵抗 6 0 のインピーダンスは、制御用トランジスタ 7 2 のエミッタに接続されたキャパシタ 8 0 よりも十分に高く、かつ第 2 の後段トランジスタ 4 5 側の抵抗 6 1 のインピーダンスは、第 2 の後段トランジスタ 4 5 の入力インピーダンスよりも十分に高い必要がある。図 1 2 ~ 図 1 4 に示すようにシャント抵抗 5 4 の代わりにシャントダイオード 6 4 を用いると、温度上昇に伴う第 2 の後段トランジスタ 4 5 の電流変動を抑制することができる。

【 0 0 3 6 】

以上において本発明は、種々変更可能であり、たとえば増幅段の段数は 2 段に限らず 3 段以上でもよいし、2 段目以降の増幅段が、並列接続された 3 個以上のトランジスタによって構成されていてもよいし、またバイポーラトランジスタに代えて電界効果トランジスタで構成されていてもよい。

【 0 0 3 7 】

(付記 1) 前段の増幅段の出力信号をその直後の後段の増幅段で増幅する増幅器であって、

前記後段の増幅段は、並列に接続された複数の増幅手段によって構成され、

該増幅手段のうちの一部の増幅手段は、前記前段の増幅段の R F 入力に応じて増幅動作のオン／オフを切り替えること、もしくは、R F 入力の増加にともなってバイアス電流を増加させることを特徴とする増幅器。

【 0 0 3 8 】

(付記 2) R F 信号が入力される前段トランジスタと、

段間整合回路と、

並列に接続され、かつ前記段間整合回路を介して前記前段トランジスタの出力信号が入力される複数のトランジスタよりなる後段トランジスタ群と、

前記後段トランジスタ群のうちの一部のトランジスタのバイアスを前記 R F 信号の入力レベルに応じて制御する後段 D C バイアス制御回路と、

を具備することを特徴とする増幅器。

【 0 0 3 9 】

(付記 3) 前記後段 D C バイアス制御回路は、前記前段トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段 D C バイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に接続されていることを特徴とする付記 2 に記載の増幅器。

【 0 0 4 0 】

(付記 4) 前記後段 D C バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された A C カット用のインダクタと、シャント抵抗とによって構成されていることを特徴とする付記 3 に記載の増幅器。

【 0 0 4 1 】

(付記 5) 前記後段 D C バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された A C カット用のインダクタおよび抵抗と、シャント抵抗とによって構成されていることを特徴とする付記 3 に記載の増幅器。

【 0 0 4 2 】

(付記 6) 前記後段 D C バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された抵抗と、シャント抵抗とによって構成されていることを特徴とする付記 3 に記載の増幅器。

【 0 0 4 3 】

(付記 7) 前記後段 DC バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された AC カット用のインダクタおよび抵抗と、シャントダイオードとによって構成されていることを特徴とする付記 3 に記載の増幅器。

【0044】

(付記 8) 前記後段 DC バイアス制御回路は、前記エミッタと前記ベースとの間に直列に接続された抵抗と、シャントダイオードとによって構成されていることを特徴とする付記 3 に記載の増幅器。

【0045】

(付記 9) 前記後段 DC バイアス制御回路は、前記前段トランジスタのソースと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのゲートとの間に接続されていることを特徴とする付記 2 に記載の増幅器。

【0046】

(付記 10) 前記後段 DC バイアス制御回路は、前記ソースと前記ゲートとの間に直列に接続された AC カット用のインダクタと、シャント抵抗とによって構成されていることを特徴とする付記 9 に記載の増幅器。

【0047】

(付記 11) 前記後段 DC バイアス制御回路は、前記ソースと前記ゲートとの間に直列に接続された AC カット用のインダクタおよび抵抗と、シャント抵抗とによって構成されていることを特徴とする付記 9 に記載の増幅器。

【0048】

(付記 12) 前記後段 DC バイアス制御回路は、前記ソースと前記ゲートとの間に直列に接続された抵抗と、シャント抵抗とによって構成されていることを特徴とする付記 9 に記載の増幅器。

【0049】

(付記 13) 前記後段 DC バイアス制御回路は、前記ソースと前記ゲートとの間に直列に接続された AC カット用のインダクタおよび抵抗と、シャントダイオードとによって構成されていることを特徴とする付記 9 に記載の増幅器。

【0050】

(付記14) 前記後段DCバイアス制御回路は、前記ソースと前記ゲートとの間に直列に接続された抵抗と、シャントダイオードとによって構成されていることを特徴とする付記9に記載の増幅器。

【0051】

(付記15) 前記後段DCバイアス制御回路は、前記RF信号が入力され、かつそのRF信号の入力レベルに応じて前記後段トランジスタ群のうちの一部のトランジスタのバイアスを制御する制御用トランジスタを有することを特徴とする付記2に記載の増幅器。

【0052】

(付記16) 前記前段トランジスタ、前記後段トランジスタ群のうちのバイアスが固定されたトランジスタ、および前記制御用トランジスタはいずれもAB級にバイアスされることを特徴とする付記15に記載の増幅器。

【0053】

(付記17) 前記後段DCバイアス制御回路は、前記制御用トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段DCバイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に直列に接続されたACカット用のインダクタと、シャント抵抗とをさらに有することを特徴とする付記15または16に記載の増幅器。

【0054】

(付記18) 前記後段DCバイアス制御回路は、前記制御用トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段DCバイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に直列に接続されたACカット用のインダクタおよび抵抗と、シャント抵抗とをさらに有することを特徴とする付記15または16に記載の増幅器。

【0055】

(付記19) 前記後段DCバイアス制御回路は、前記制御用トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段DCバイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に直列に接続された抵抗と、シャント抵抗とをさらに有することを特徴とする付記15または16に記載の

増幅器。

【 0 0 5 6 】

（付記 2 0）前記後段 DC バイアス制御回路は、前記制御用トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に直列に接続された AC カット用のインダクタおよび抵抗と、シャントダイオードとをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 5 7 】

（付記 2 1）前記後段 DC バイアス制御回路は、前記制御用トランジスタのエミッタと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのベースとの間に直列に接続された抵抗と、シャントダイオードとをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 5 8 】

（付記 2 2）前記後段 DC バイアス制御回路は、前記制御用トランジスタのソースと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのゲートとの間に直列に接続された AC カット用のインダクタと、シャント抵抗とをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 5 9 】

（付記 2 3）前記後段 DC バイアス制御回路は、前記制御用トランジスタのソースと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのゲートとの間に直列に接続された AC カット用のインダクタおよび抵抗と、シャント抵抗とをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 6 0 】

（付記 2 4）前記後段 DC バイアス制御回路は、前記制御用トランジスタのソースと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのゲートとの間に直列に接続された抵抗と、

シャント抵抗とをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 6 1 】

(付記 2 5) 前記後段 DC バイアス制御回路は、前記制御用トランジスタのソースと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのゲートとの間に直列に接続された AC カット用のインダクタおよび抵抗と、シャントダイオードとをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 6 2 】

(付記 2 6) 前記後段 DC バイアス制御回路は、前記制御用トランジスタのソースと、前記後段トランジスタ群のうちの前記後段 DC バイアス制御回路によってバイアスが制御されるトランジスタのゲートとの間に直列に接続された抵抗と、シャントダイオードとをさらに有することを特徴とする付記 1 5 または 1 6 に記載の増幅器。

【 0 0 6 3 】

(付記 2 7) 前記前段トランジスタ、前記段間整合回路、前記後段トランジスタ群および前記後段 DC バイアス制御回路は、同一の半導体チップ上に集積されていることを特徴とする付記 2 ～ 2 6 のいずれか一つに記載の増幅器。

【 0 0 6 4 】

(付記 2 8) 前記前段トランジスタ、前記段間整合回路、前記後段トランジスタ群および前記後段 DC バイアス制御回路は、2 以上の半導体チップ上に分散して設けられていることを特徴とする付記 2 ～ 2 6 のいずれか一つに記載の増幅器。

【 0 0 6 5 】

【発明の効果】

本発明によれば、前段の増幅段を構成するトランジスタと後段の増幅段を構成するトランジスタの一部は AB 級で動作し、低出力および中出力時には後段のトランジスタの残りがオフ状態となるので、従来の多段構成の増幅器を AB 級で動作させる場合よりも低出力および中出力時の効率低下を抑制することができる。また、後段のトランジスタの残りがオン状態となることによって、高出力動作が

可能となる。また、前段のトランジスタと後段のトランジスタの一部をB級やC級で動作させないことによって、出力増加に伴う利得の変動を抑制することができるので、低歪み動作が可能となる。したがって、広い出力ダイナミックレンジでの高効率動作と、低歪み動作の両方を満足する増幅器が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかる出力増幅器の要部を示す回路図である。

【図 2】

本発明の実施の形態 1 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 3】

本発明の実施の形態 1 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 4】

本発明の実施の形態 1 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 5】

本発明の実施の形態 1 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 6】

本発明の実施の形態 1 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 7】

本発明の実施の形態 1 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 8】

本発明の実施の形態 2 にかかる出力増幅器の要部を示す回路図である。

【図 9】

本発明の実施の形態 2 にかかる出力増幅器の変形例の要部を示す回路図である。

【図 1 0】

本発明の実施の形態 2 にかかる出力増幅器の変形例の要部を示す回路図である

【図 1 1】

本発明の実施の形態 2 にかかる出力増幅器の変形例の要部を示す回路図である

【図 1 2】

本発明の実施の形態 2 にかかる出力増幅器の変形例の要部を示す回路図である

【図 1 3】

本発明の実施の形態 2 にかかる出力増幅器の変形例の要部を示す回路図である

【図 1 4】

本発明の実施の形態 2 にかかる出力増幅器の変形例の要部を示す回路図である

【図 1 5】

従来の出力増幅器の要部を示す回路図である。

【符号の説明】

2 4 前段トランジスタ（前段の増幅段）

2 8 段間整合回路

4 4, 4 5 後段トランジスタ（後段の増幅段、増幅手段）

5 1, 5 5, 5 7, 5 9, 6 2, 6 5, 6 6, 7 1, 8 3 ~ 8 8 後段 DC

バイアス制御回路

5 2, 5 3 AC カット用インダクタ

5 4 ショント抵抗

6 3 抵抗

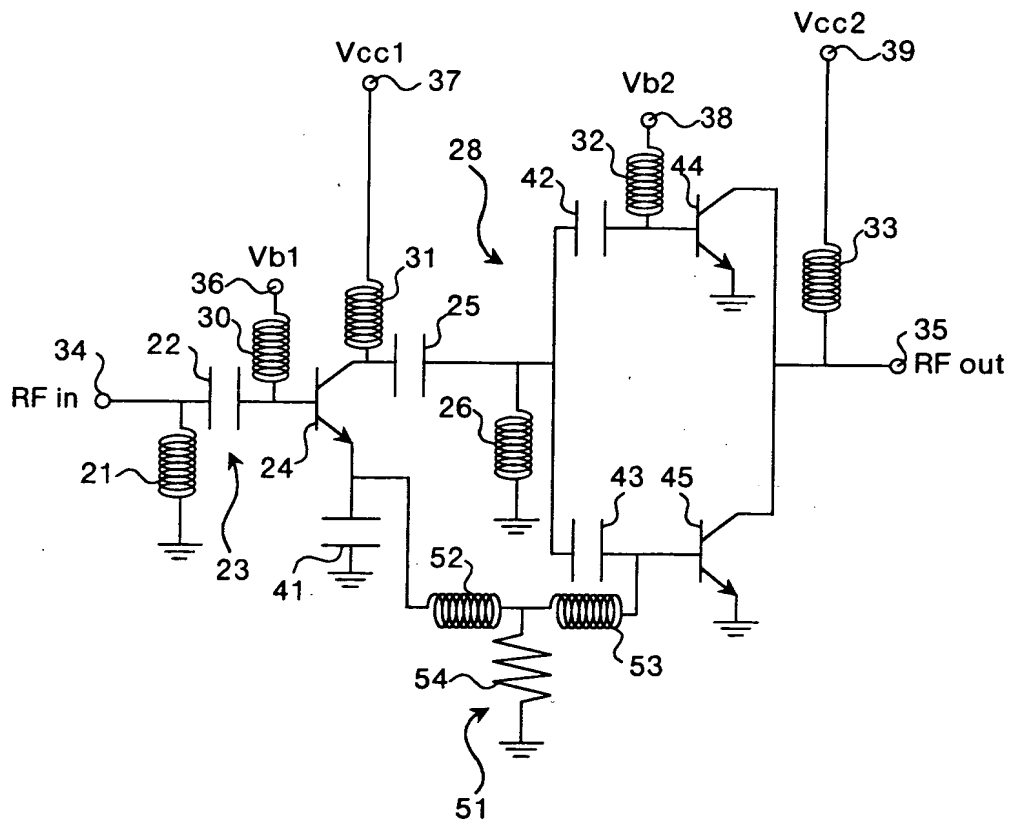
6 4 ダイオード（ショントダイオード）

7 2 制御用トランジスタ

【書類名】 図面

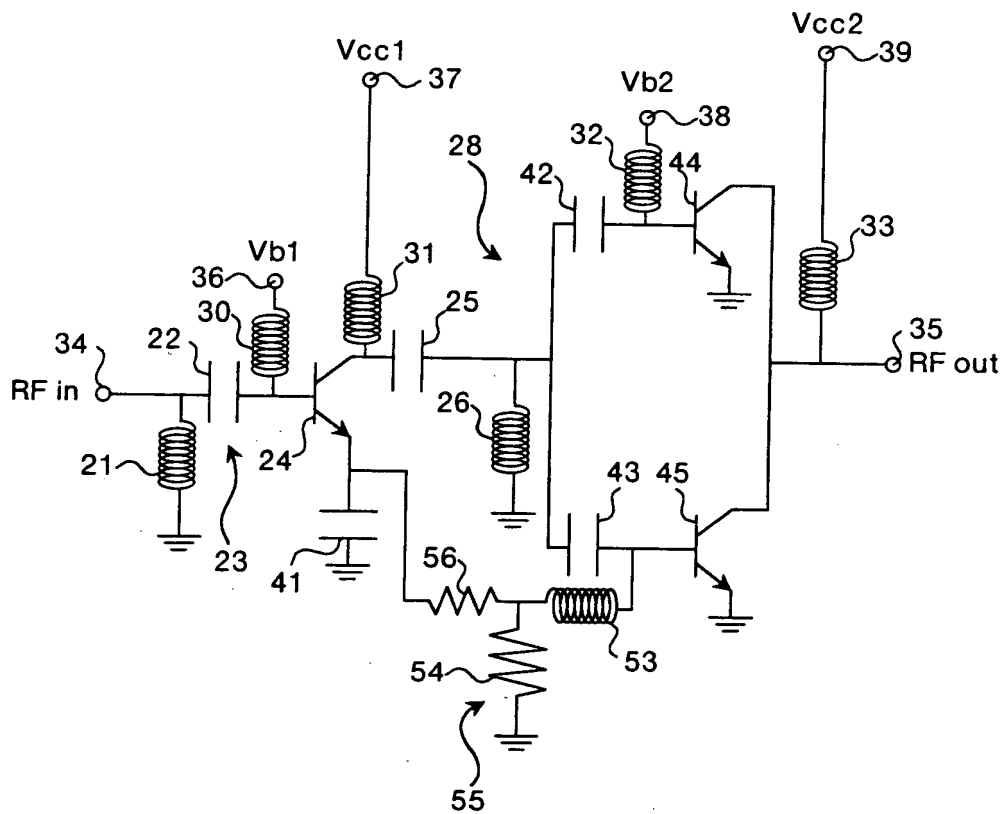
【図 1】

本発明の実施の形態1にかかる出力増幅器の要部を示す回路図



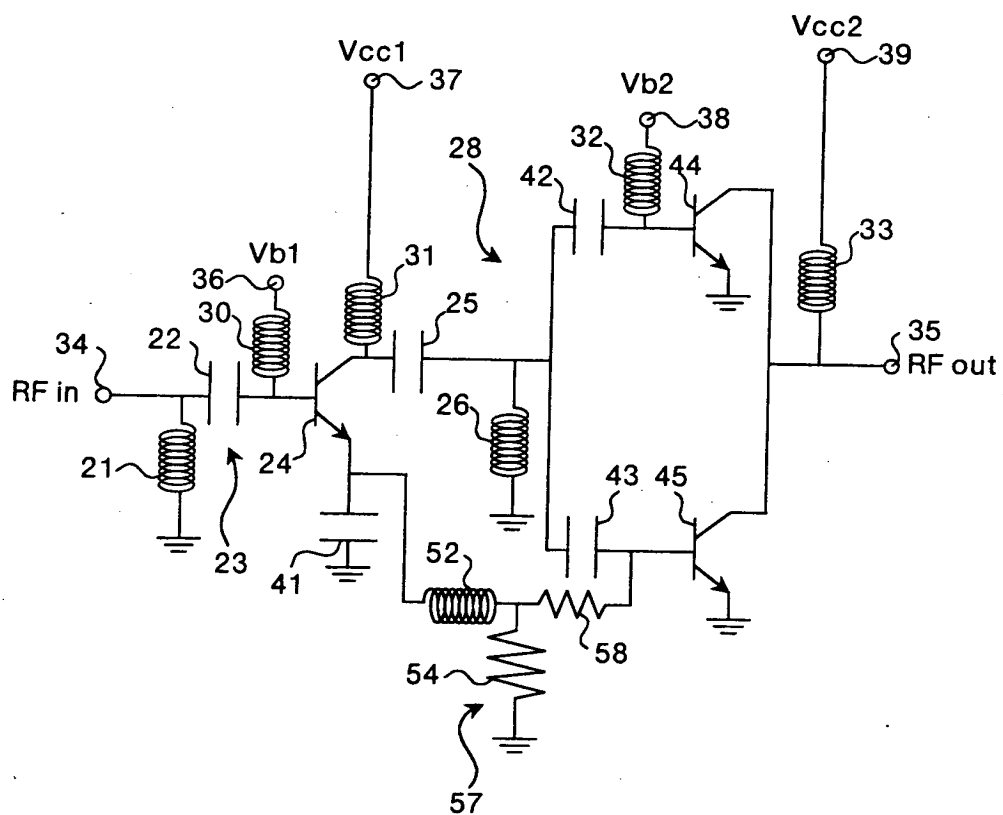
【図 2】

本発明の実施の形態1にかかる出力増幅器の変形例の要部を示す回路図



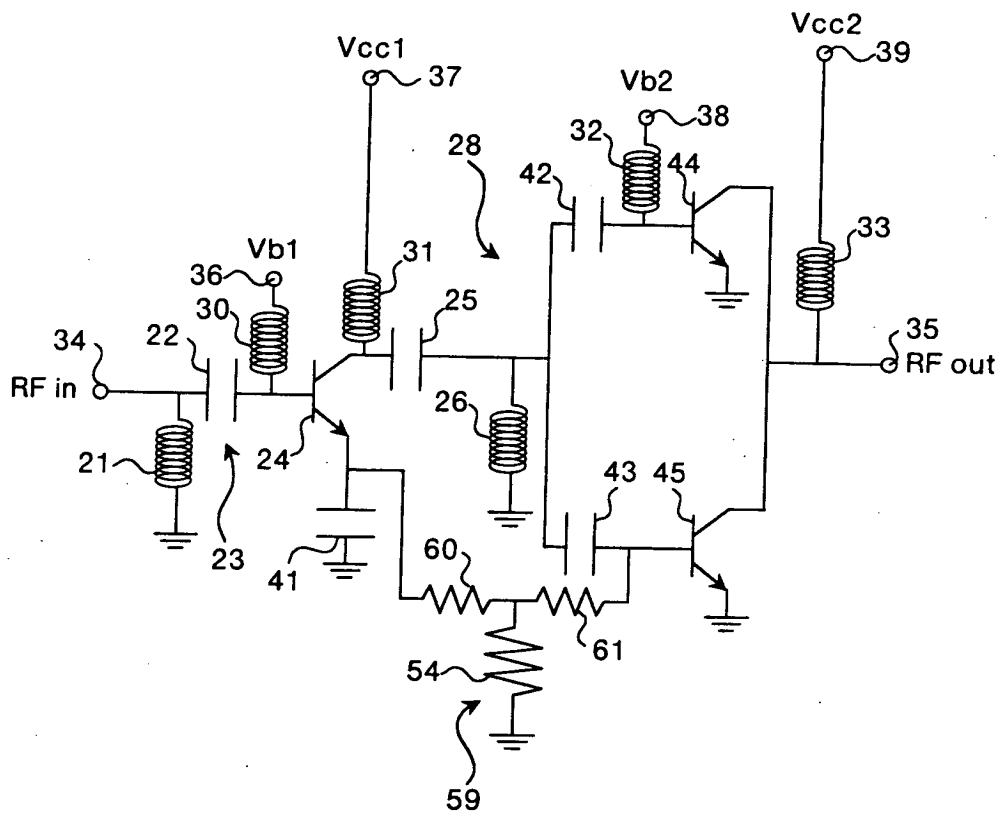
【図 3】

本発明の実施の形態1にかかる出力増幅器の変形例の要部を示す回路図



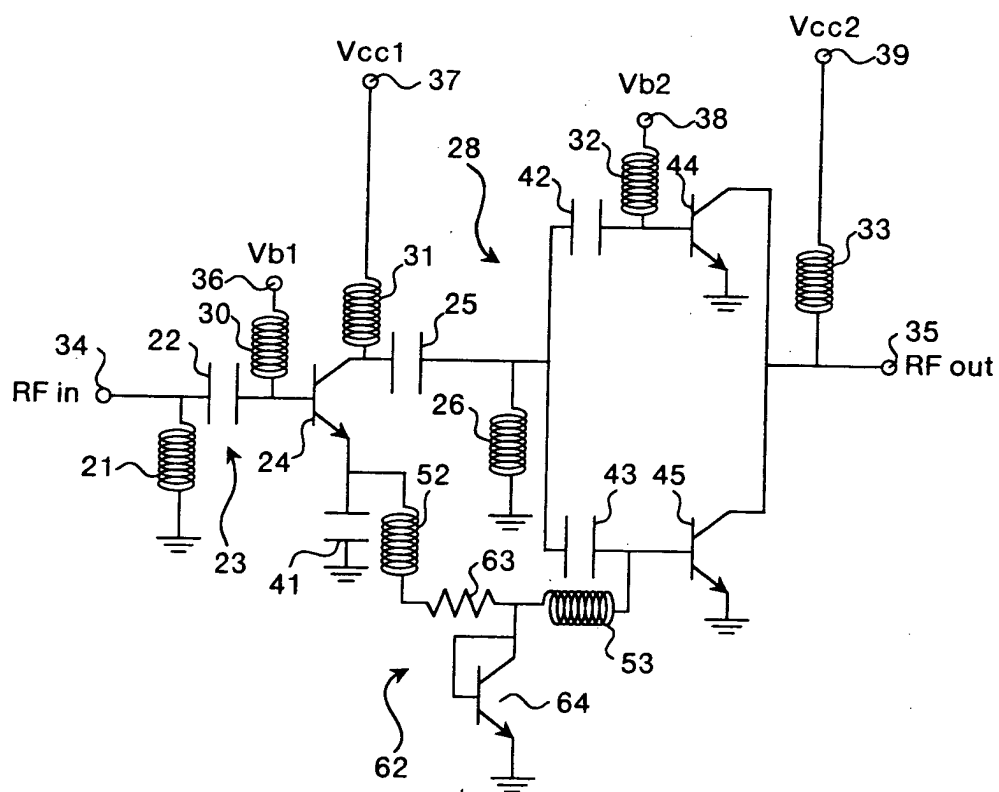
【図 4】

本発明の実施の形態1にかかる出力増幅器の変形例の要部を示す回路図



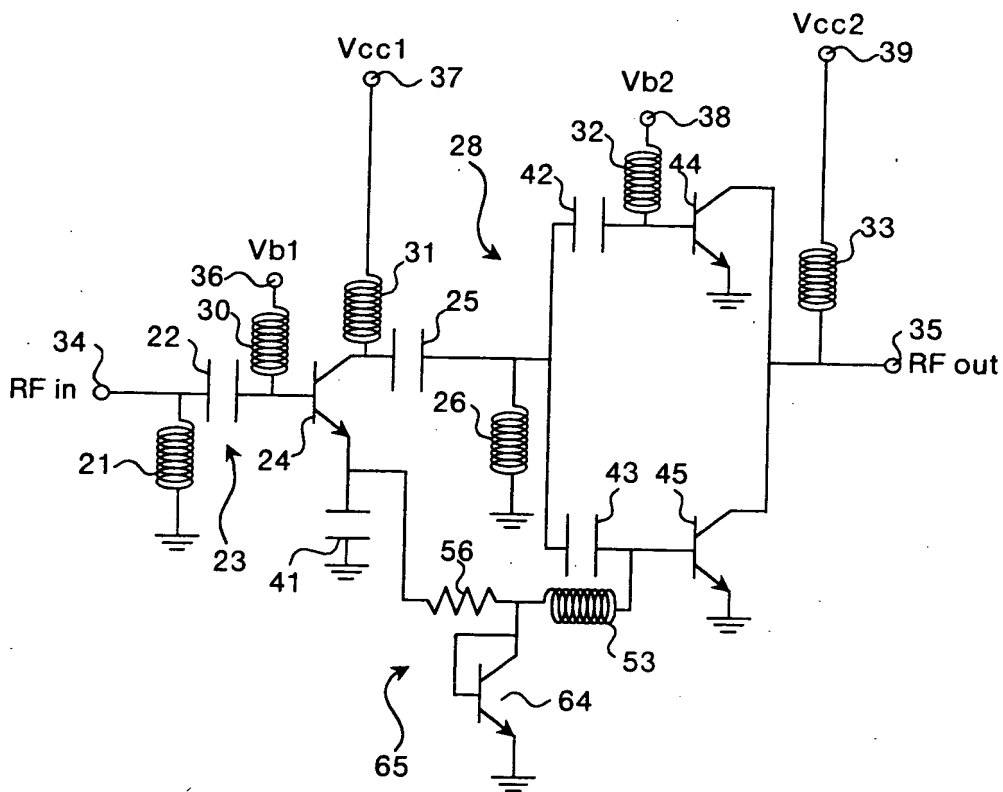
【図 5】

本発明の実施の形態1にかかる出力増幅器の変形例の要部を示す回路図



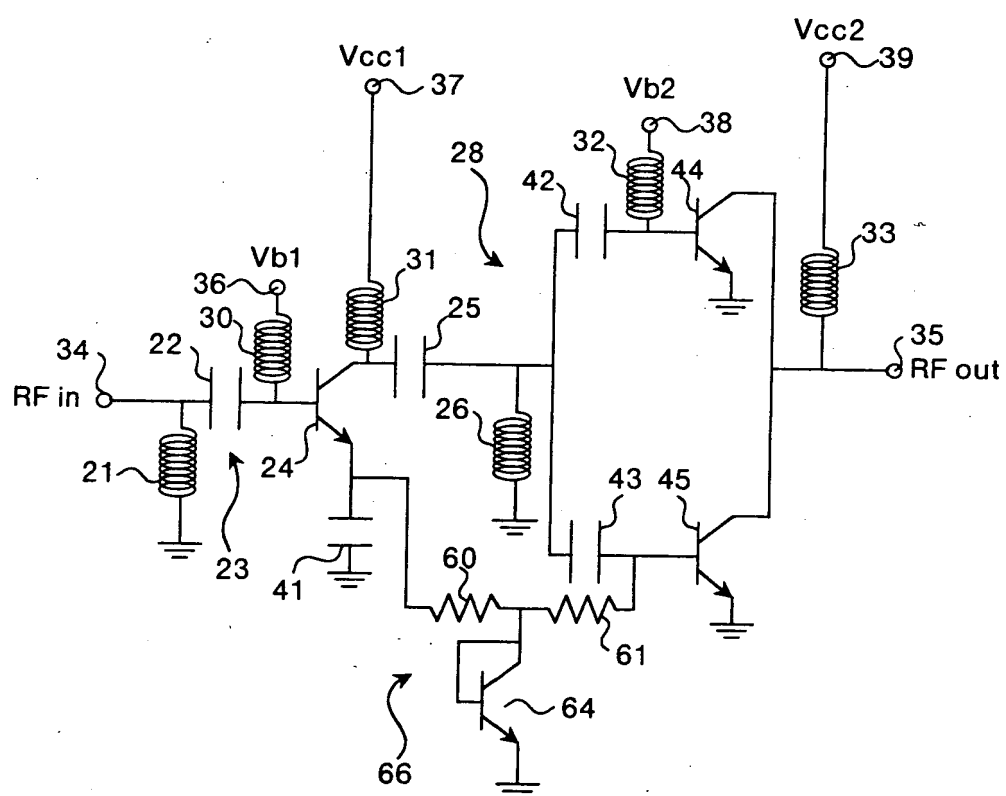
【図 6】

本発明の実施の形態1にかかる出力増幅器の変形例の要部を示す回路図



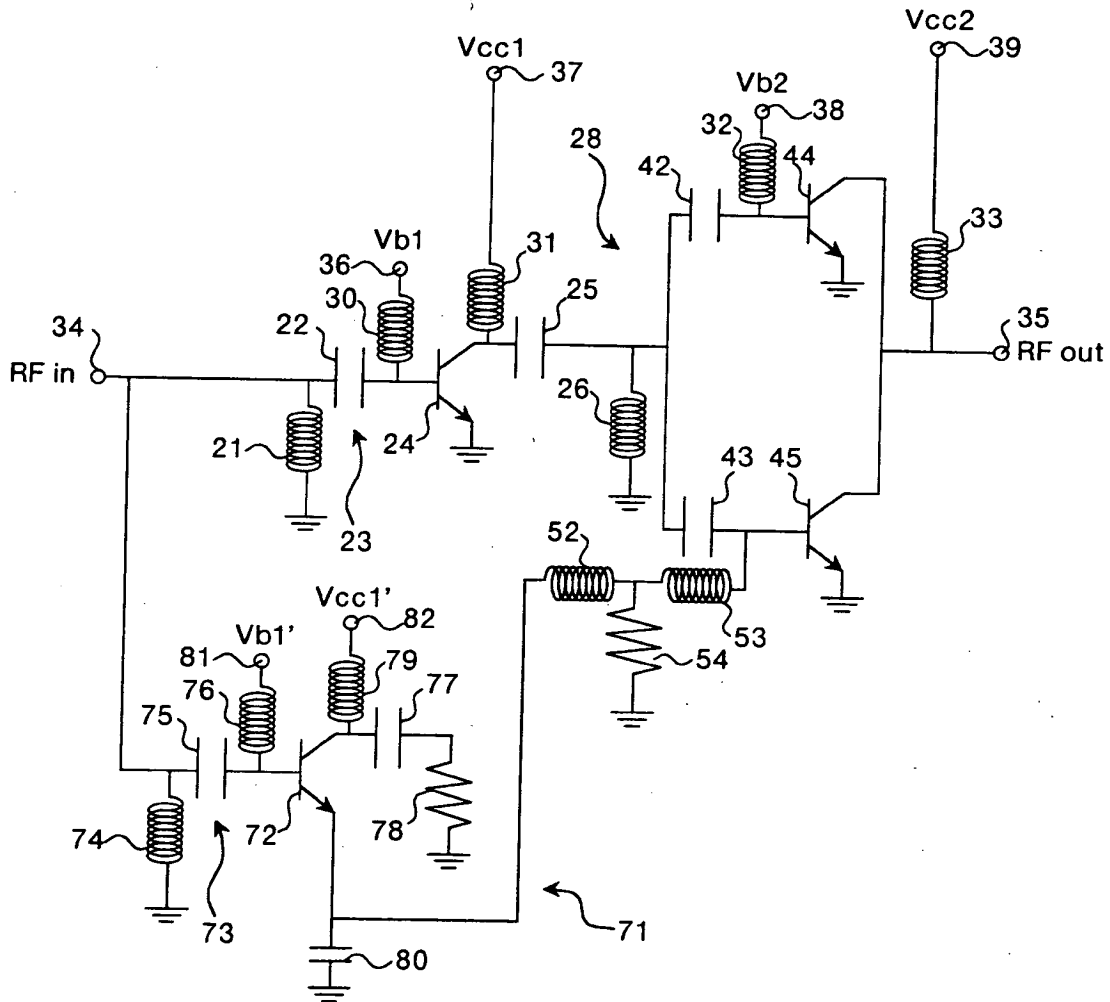
【図 7】

本発明の実施の形態1にかかる出力増幅器の変形例の要部を示す回路図



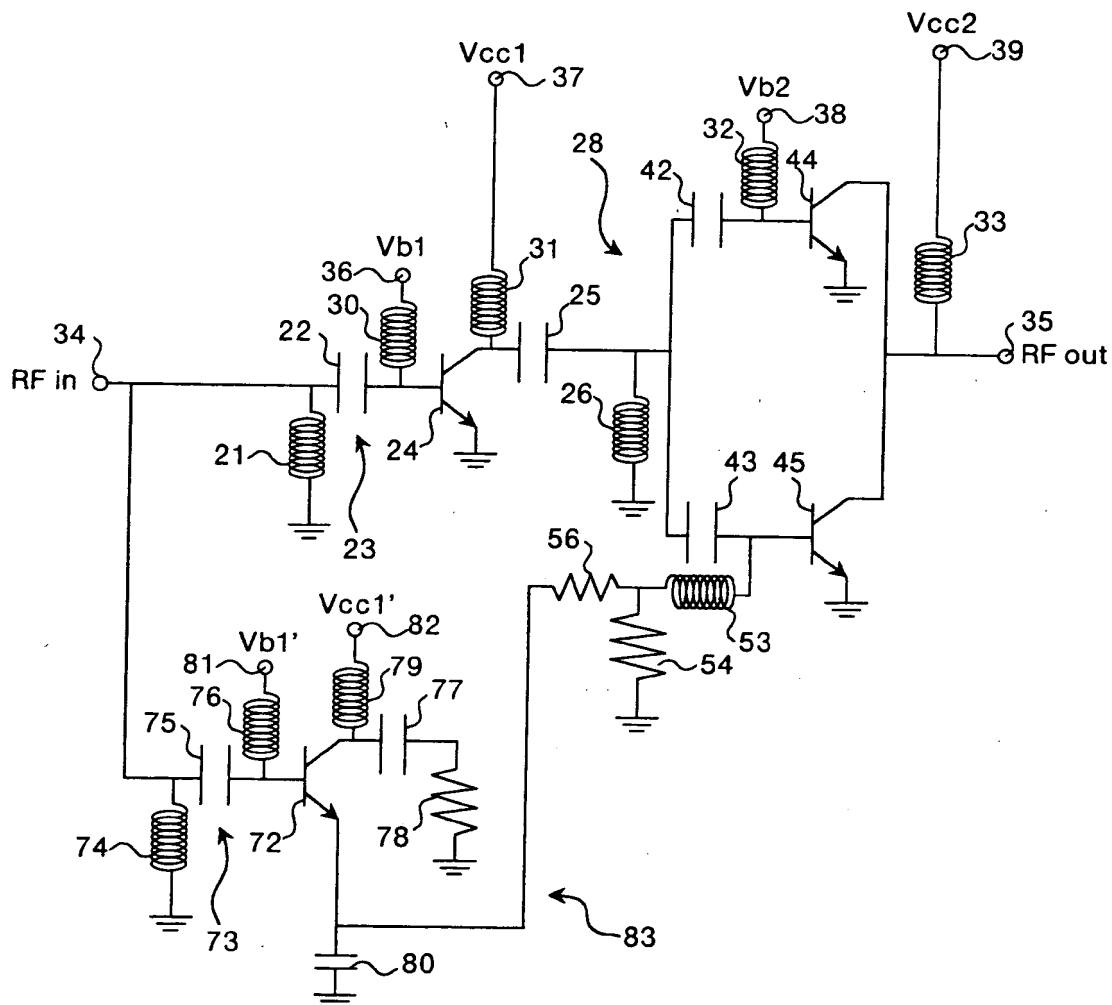
【図 8】

本発明の実施の形態2にかかる出力増幅器の要部を示す回路図



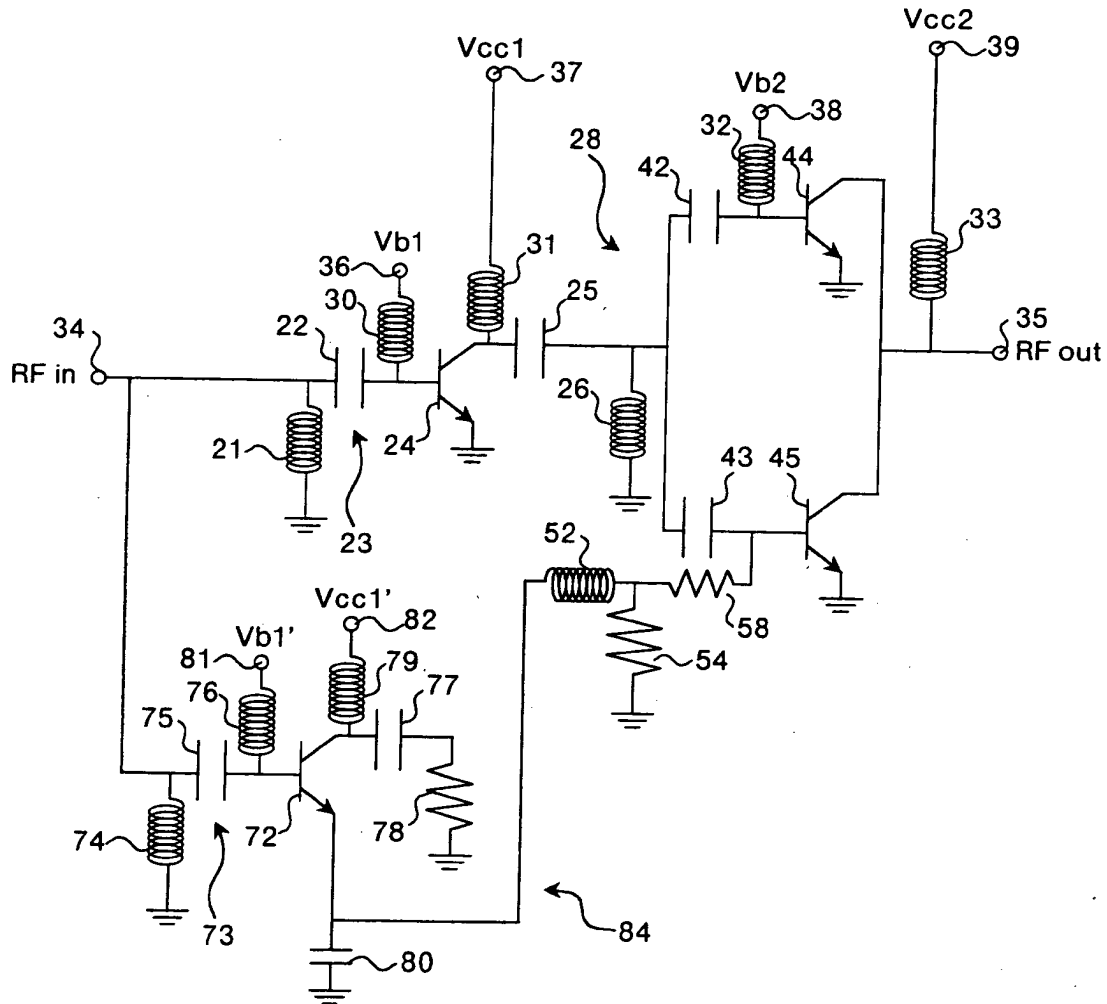
【图 9】

本発明の実施の形態2にかかる出力増幅器の変形例の要部を示す回路図



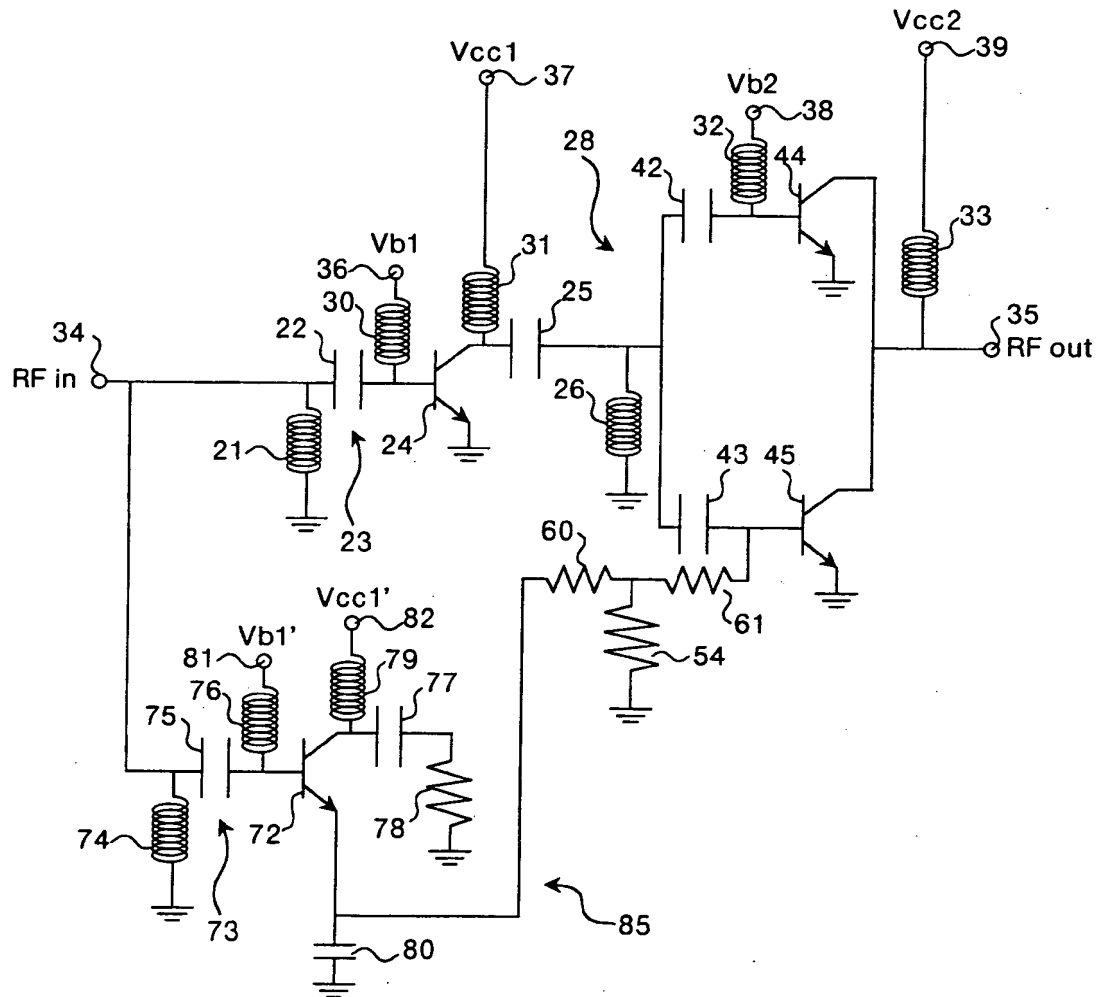
【図 1 0】

本発明の実施の形態2にかかる出力増幅器の変形例の要部を示す回路図



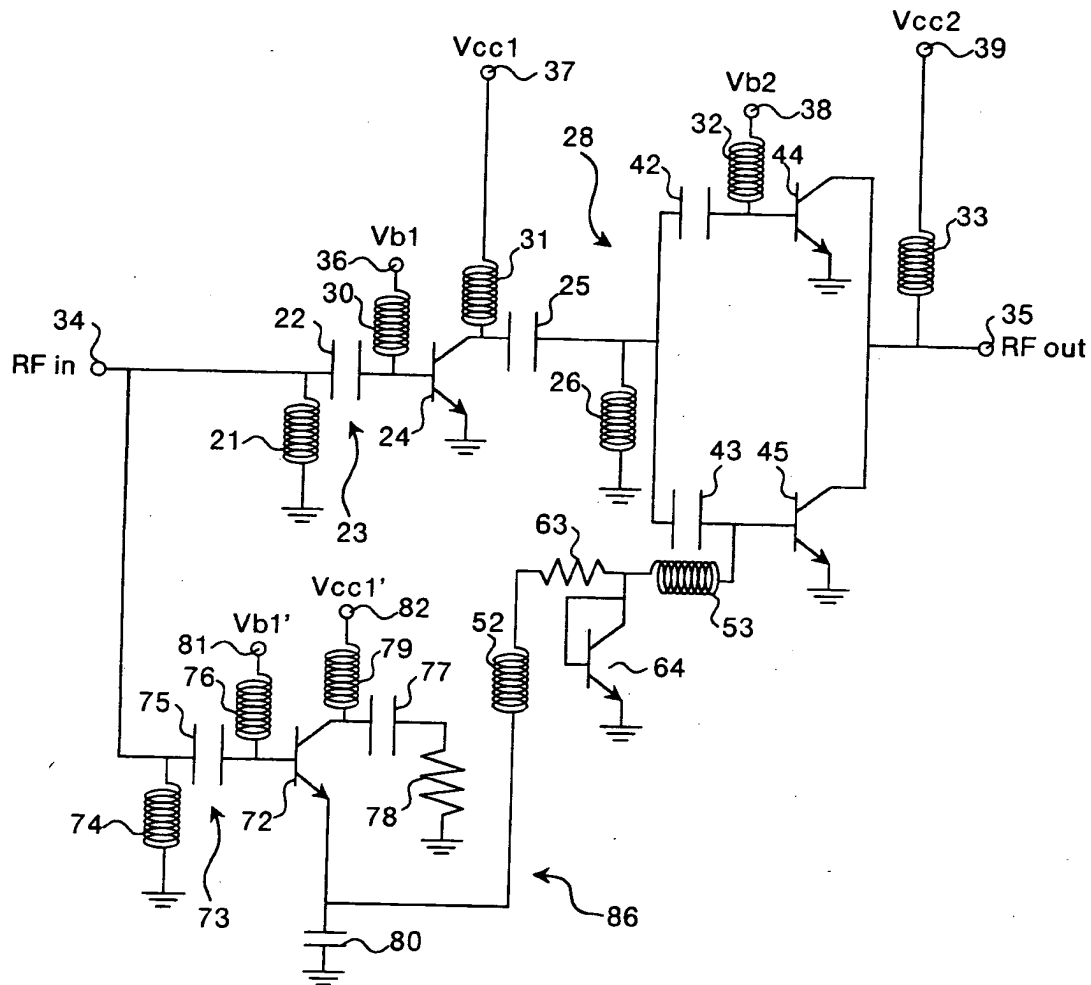
【図 1 1】

本発明の実施の形態2にかかる出力増幅器の変形例の要部を示す回路図



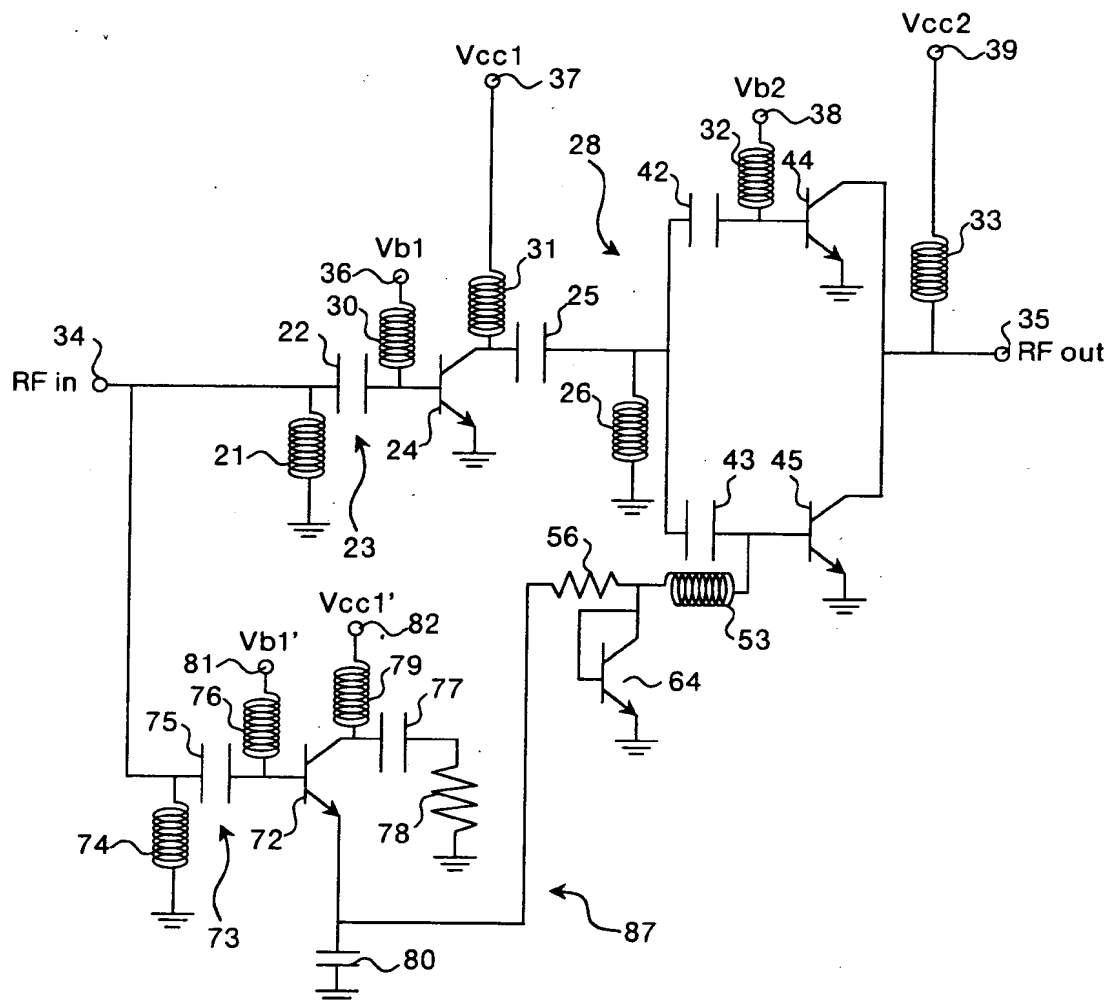
【図 12】

本発明の実施の形態2にかかる出力増幅器の変形例の要部を示す回路図



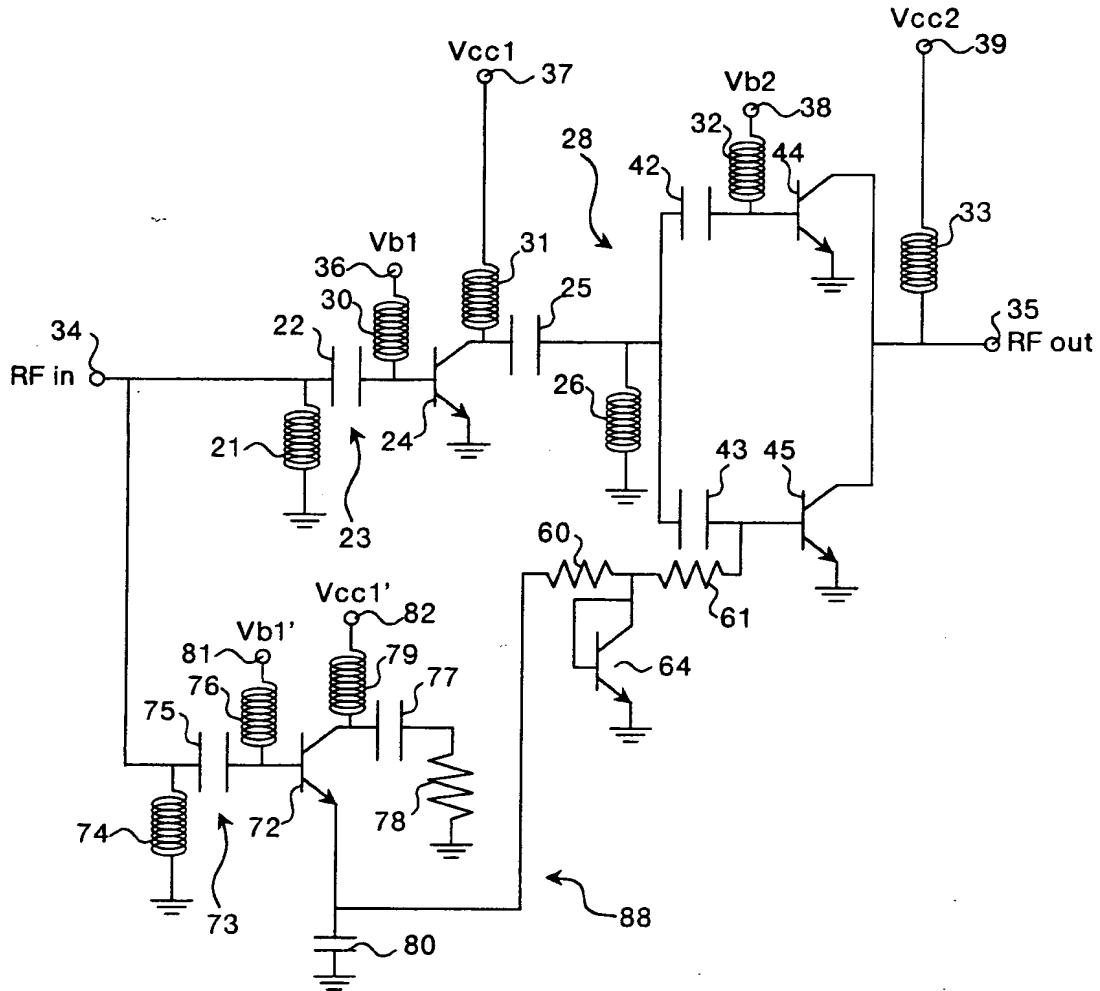
【図 1 3】

本発明の実施の形態2にかかる出力増幅器の変形例の要部を示す回路図



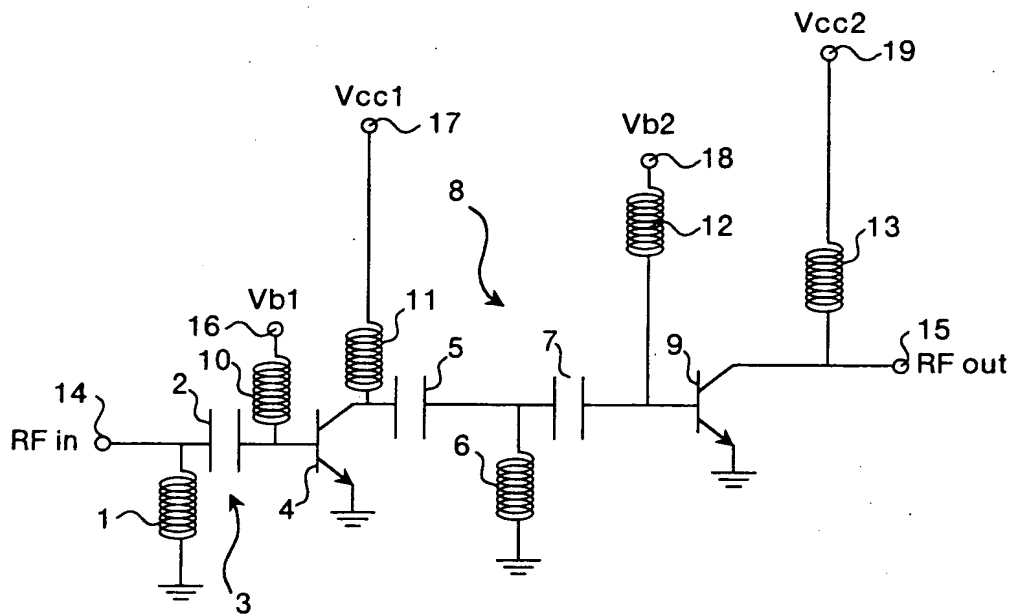
【図 1 4】

本発明の実施の形態2にかかる出力増幅器の変形例の要部を示す回路図



【図 1 5】

従来の出力増幅器の要部を示す回路図



【書類名】 要約書

【要約】

【課題】 多段構成の出力増幅器において、広い出力ダイナミックレンジでの高効率動作と、低歪み動作の両方を満足すること。

【解決手段】 2 段以上の増幅段を有し、前段トランジスタ 2 4 の出力信号を増幅するための後段の増幅段を、並列に接続された 2 個以上のトランジスタ 4 4 , 4 5 で構成する。前段トランジスタ 2 4 および第 1 の後段トランジスタ 4 4 についてはバイアスポイントを A B 級とする。後段 D C バイアス制御回路 5 1 によって、第 2 の後段トランジスタ 4 5 のベースバイアスを R F 入力に応じて制御し、それによって第 2 の後段トランジスタ 4 5 を高出力時にオンさせ、一方低出力および中出力時にオフさせる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社